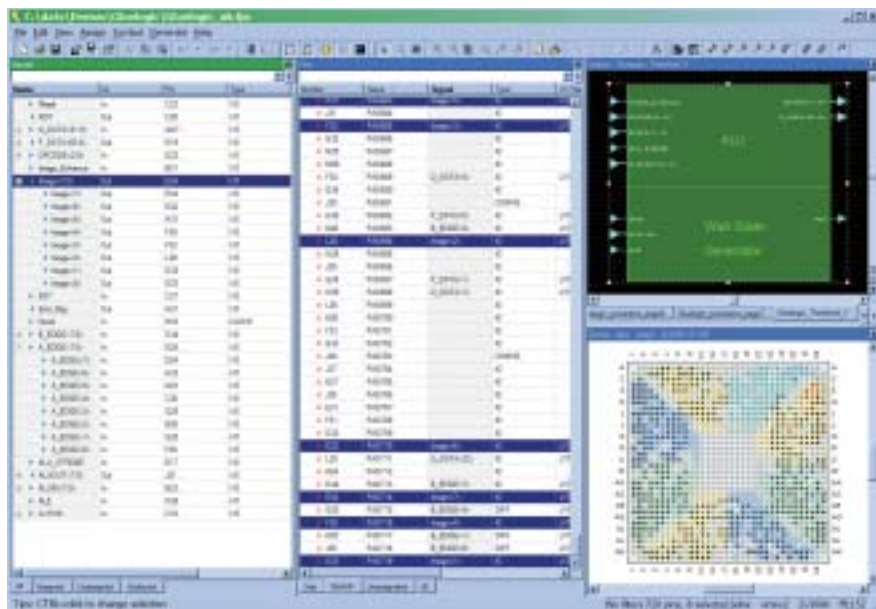


I/O Designer

複雑な HDL、FPGA、PCB 設計のための設計統合環境

FPGA - on - Board 設計

D A T A S H E E T



I/O Designer のグラフィカル/スプレッドシート・ベースの設計環境

特長：

- グラフィカルな I/O 設計環境を提供
- 既存の FPGA、PCB 設計フロー間のブリッジとして機能
- HDL、FPGA、PCB 設計環境間の一貫性を管理し、保証
- より大規模なデバイス、または小規模なデバイスへのマイグレーションをサポート
- HDL、FPGA 配置配線、PCB 設計関連ファイルで行われた変更を自動的に検知
- PCB 設計データのインポート機能により、基板上的ラッツネストの交差を最適化
- 自動化されたフローにより、エラーの発生しやすい手作業工程を排除

概要

今日、FPGA デバイスの大規模化が進む中で、FPGA と PCB 間の一貫性を保証することがますます難しくなっています。最近のデバイスには 1500 ピンを超える I/O を備えるものもあり、このようなデバイスに対しては、何百ものピンを PCB に接続するというエラーの起こりやすい手作業のプロセスを自動化できるツールが必要になります。それに加えて、ピン交換の複雑さや、正しいシンボル/回路図/HDL 設計の関連づけがおこなわれているかどうかを確認することの難しさも増し、また FPGA の作成と配置に要する時間も長くなります。

FPGA および PCB 設計でのこのような増大する設計課題に対応するため、メンター・グラフィックスは FPGA の I/O をデバイス・ピンに割り当てるための高速かつ効率的なソリューションとして I/O Designer を提供します。Actel、Altera、Xilinx 製の FPGA 向け部品ライブラリを管理することにより、I/O Designer は選択されたデバイスの各ピンに関する全ての重要な情報を供給します。この情報を使ってユーザーは全ての信号をデバイス・ピンに割り当てるか、デザインにとって重要な信号のみを割り当てるかを選択します。また、ユーザーはこれらの信号に I/O 規格を割り当てることもできます。こうすることにより、FPGA のピンアウトを PCB レイアウトを行う前に最適化することができます。PCB 上で、レイアウトを改善するためにさらにピ

ン交換を行う必要がある場合にも、I/O Designer はどのピンが交換可能で、どのピンが交換不可能かを認識することができます。

また、I/O Designer はデータ管理ツールとしても機能します。FPGA と PCB それぞれの設計フローを監視し、行われた変更を管理することによって 2 つのフロー間の一貫性を保ちます。PCB 上で実行されたピン交換も I/O Designer により認識され、必要なファイルの更新が行われます。I/O Designer はその後、HDL 設計とピン I/O 割り当てプロセスに基づいて FPGA 配置配線の制約条件を生成し、「配線後の」ピンデータに基づいて必要なシンボル、回路図、階層情報を作成します。

I/O Designer は設計フローに沿って最上流の HDL 記述から PCB レベルのシンボルまで、また FPGA 配線ツールに必要な物理ピン情報まで、ユニークな管理プロセスを提供します。FPGA 配置配線ツールで行われた変更や、メンター・グラフィックスの PCB 回路図/レイアウト・ツールで行われた変更のバックアノテーションも可能です。また、I/O Designer は HDL 設計や FPGA の物理設計を行うデジタル設計者と、デバイス・シンボルを使って作業する基板設計者が共に使用することのできる中心的ソリューションを提供します。

設計サイクルを短縮するため、I/O DesignerではPCB設計とFPGA設計の並行した作業を可能にしました。この並行作業には、基板の初期レイアウトと、デバイスのシンボルが必要です。初期のピン割り当ては通常HDLのI/Oで行われますが、デバイスの最終ピン割り当てには以下の3つの設計領域が相互に関連しています：

- HDL 記述上の機能仕様変更
- FPGA 配置配線に関連したピン割り当ての変更
- PCB レイアウトによる変更のバックアノテーション
(例：基板レイアウトの改良、あるいは層数削減のためのピン交換等)

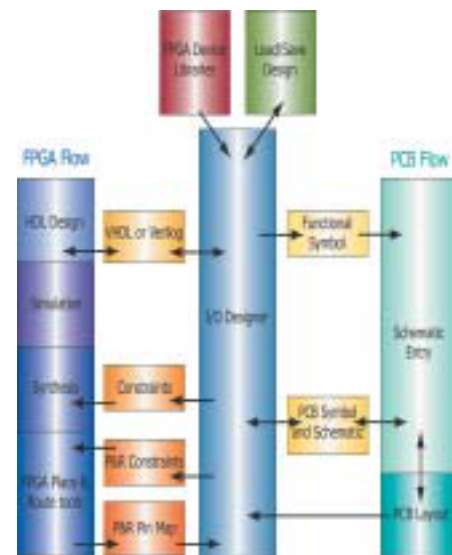
I/O Designerは、設計関連の全てのファイルを監視し、ピン割り当ての変更を自動的に反映することにより設計変更のプロセスを管理します。

シンボルと回路図

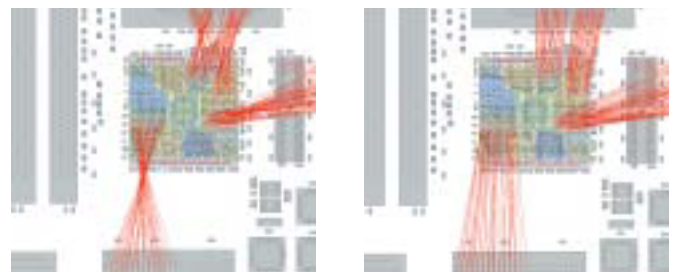
I/O Designerはカスタマイズ可能なピンとシンボル形状のライブラリを提供することにより、ほとんどの標準シンボル規格をサポートしています。また、シンボルと回路図のインポート/エクスポートに関しても優れた機能を提供し、これには、Design Architect、Board Architect、DxDesigner、Design Capture、DesignViewに対するメンターのネイティブフォーマットでのシンボルおよび回路図エクスポート機能、ならびにEDIFやXMLを介した回路図シンボルのインポート機能も含まれます。

また、I/O Designerは信号やピンをドラッグ&ドロップできる回路図シンボル・ウィンドウや、信号をピンにマッピングするためのフットプリントのグラフィカル表示等、使いやすいインターフェースも備えています。このインターフェースを使って直接設計を更新することが可能で、行われた変更はメンターのPCBツールに即座に反映された後、FPGAツールに対するデータ出力が行われます。

製品の仕様は予告なく変更されることがありますのでご了承ください。
Mentor Graphicsは、メンター・グラフィックス・コーポレーションの登録商標です。
その他記載されている製品名はすべて各社の登録商標または商標です。



I/O DesignerによるFPGAおよびPCB設計フローの統合



PCB上で予想されるラッツネストの交差を最適化

I/O Designerでは、FPGAのI/Oを決定する際の強力な機能として、プリント基板上で予想されるラッツネストの交差を最適化します。最適化後の情報はそのままI/Oピンに反映される為、FPGA設計のイタレーションの大幅な改善を図ります。

ハードウェア・プラットフォーム

- PC
- Sun SPARCstation

システム要件

- 24 MBの空きディスク領域
- システムRAM 64 MB以上推奨

オペレーティング・システム

- Windows 2000, XP
- Solaris 2.6 またはそれ以降
- RedHat Linux 7.0 またはそれ以降

メンター・グラフィックス・ジャパン株式会社

本社 〒140-0001 東京都品川区北品川4丁目7番35号 御殿山ヒルズ
電話 (03) 5488-3030 (営業代表)
大阪支店 〒532-0004 大阪市淀川区西宮原2丁目1番3号 SORA 新大阪21
電話 (06) 6399-9521
名古屋支店 〒460-0008 名古屋市中区栄3丁目18番1号ナディアパークビジネスセンタービル
電話 (052) 249-2101
URL <http://www.mentorg.co.jp>

株式会社 シーエディプロダクト

本社：〒170-0004 東京都豊島区北大塚 2-15-9 ITY 大塚ビル 4F
TEL 03-5980-3310 FAX 03-5980-1488
e-mail : info@cadpro.co.jp
URL : <http://www.cadpro.co.jp>